

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-260661

(43) 公開日 平成10年(1998) 9月29日

| (51) Int.Cl. ⁸ | 識別記号 | F I |
|---------------------------|-------|----------------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 |
| G 0 2 F 1/133 | 5 5 0 | G 0 2 F 1/133 5 5 0 |
| | 5 7 5 | 5 7 5 |
| H 0 4 N 5/66 | 1 0 2 | H 0 4 N 5/66 1 0 2 B |

審査請求 未請求 請求項の数 6 O L (全 21 頁)

(21) 出願番号 特願平9-67036

(22) 出願日 平成9年(1997) 3月19日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 小川 嘉規

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

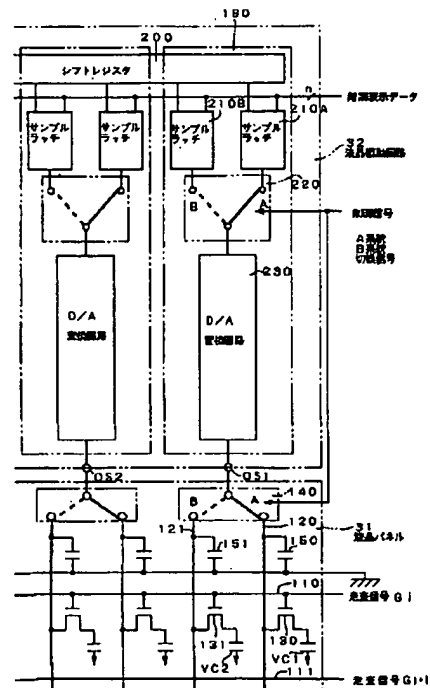
(74) 代理人 弁理士 西教 圭一郎

(54) 【発明の名称】 表示装置の駆動回路

(57) 【要約】

【課題】 表示装置の駆動回路のチップ面積を縮小する。

【解決手段】 アクティブマトリクス型の液晶パネル31を駆動する液晶駆動回路32は、液晶パネル31の2つのデータバスライン120、121に対して1つの駆動回路190を用いる。駆動回路190内には2系統のサンプリングラッチ210A、210Bを切替える入力側切替スイッチ220が設けられ、1水平走査期間の前半と後半とに振分けて階調表示データをラッチし、アナログ電圧に変換する。液晶パネル31側には、TFTで形成する出力側切替スイッチ140、141が設けられ、水平走査期間の前半と後半とで、データバスライン120とデータバスライン121とを切換えてD/A変換回路230からの出力を与える。各データバスライン120、121には補助容量150、151を設け、短い時間に与えられる駆動電圧を確実に保持させる。



【特許請求の範囲】

【請求項1】 走査線との交点に、マトリクス状に表示素子が形成される表示装置のデータラインを、映像信号データに対応する階調レベルを有する信号で駆動するための回路であって、

予め定める複数のデータライン毎に設けられ、1走査期間に、前記複数回、映像信号データを対応する階調レベルに変換する変換回路と、

各変換回路毎に設けられ、1走査期間毎に前記複数回ずつ前記複数のデータラインを切換えて変換回路の出力に接続する出力側スイッチング回路と、

各データラインに対応して設けられ、各データラインで表示すべき映像信号データを保持するデータ保持回路と、

前記複数のデータ保持回路の出力を、1走査期間毎に前記複数回ずつ切換えて、前記変換回路に与えて変換させる入力側スイッチング回路とを含むことを特徴とする表示装置の駆動回路。

【請求項2】 前記出力側スイッチング回路は、表示装置側に形成されることを特徴とする請求項1記載の表示装置の駆動回路。

【請求項3】 前記表示装置は、TFTによるアクティブマトリクス型液晶表示装置であり、前記出力側スイッチング回路は、TFTによるアナログスイッチであることを特徴とする請求項2記載の表示装置の駆動回路。

【請求項4】 前記各データラインに、補助容量が設けられることを特徴とする請求項1～3のいずれかに記載の表示装置の駆動回路。

【請求項5】 前記各変換回路の出力と前記各出力側スイッチング回路との間に、バッファ回路が設けられることを特徴とする請求項4記載の表示装置の駆動回路。

【請求項6】 前記出力側スイッチング回路と各データラインとの間にバッファ回路が設けられ、各バッファ回路の入力側に補助容量が設けられることを特徴とする請求項1～3のいずれかに記載の表示装置の駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マトリクス型に表示素子が配列されて階調表示を行う表示装置の駆動回路に関する。

【0002】

【従来の技術】図14は、特公平6-83416に第1図として開示されている先行技術の構成を示し、図15は第2図として開示されているこの先行技術の動作タイミングを示す。入力アナログビデオ信号V_vは、アナログ／デジタル（以下、「A/D」と略称する）変換器1によって、たとえば8ビットのデジタル信号に変換される。A/D変換器1の出力は、8ビット並列入力の水平

走査用シフトレジスタ2に与えられ、水平クロックHCK毎に順次シフトされる。水平走査用シフトレジスタ2の各段の出力は、パルス位相変調器として動作するカウンタ3に入力される。カウンタ3には、アナログビデオ信号V_vの水平帰線期間内のたとえば水平同期期間の間に、デジタルビデオ信号としてデータがロードされる。カウンタ3は、たとえば8ビットの同期式カウンタであり、クロック信号V_{c1}をカウントする。

【0003】のこぎり波状電圧発生回路4からは、クロック信号V_{c1}に同期しながら直線的に増加し、水平同期期間の間に急激に減少するようなこぎり波電圧を出力V_{out}として発生する。のこぎり波状電圧発生回路4の出力は、スイッチ用MOSトランジスタ5のドレインに与えられる。スイッチ用MOSトランジスタ5のゲートには、カウンタ3の出力が与えられる。スイッチ用MOSトランジスタ5のソースには、ホールド容量6および列信号電極7が接続される。複数の列信号電極7は、複数の行走査電極8と交差し、交点にはスイッチ用MOSトランジスタ9を介して液晶セルによる表示要素10が接続される。行走査電極8は、垂直走査用シフトレジスタ11によって、1水平走査期間毎に順次選択される。列信号電極7がおよび行走査電極8と、スイッチ用MOSトランジスタ9および表示要素10によって、アクティブマトリクス型の液晶表示パネル12が構成される。

【0004】カウンタ3は、デジタルビデオ信号がロードされた後、カウント動作を行い、カウント値が一定の値になれば、スイッチ用MOSトランジスタ5をオン状態にする出力をゲートに与える。すなわち各々のデジタルビデオ信号入力データに応じたタイミングで、一定の時間だけスイッチ用MOSトランジスタ5はオン状態となるように制御される。一方、スイッチ用MOSトランジスタ5のドレインには、のこぎり波状電圧発生回路4から発生されるのこぎり波状電圧V_{c1}が加えられる。したがって、スイッチ用MOSトランジスタ5のソースに接続される列信号電極7およびホールド容量6には、図15に示す時間tの間だけのこぎり波状電圧発生回路4からのこぎり波状電圧V_{c1}がスイッチ用MOSトランジスタ5を通して印加される。ホールド容量6には、スイッチ用MOSトランジスタ5がオフ状態となる直前の電圧がホールドされ、表示パネル12の表示要素10はホールド容量6にホールドされている電圧で駆動される。なお図15で、T1とT2とは、A/D変換器1および水平走査用シフトレジスタ2と、カウンタ3によるパルス位相変調器としての動作タイミングとを示す。なお、このような方式による液晶表示装置の駆動を、以後、時分割駆動方式と称することにする。

【0005】アクティブマトリクス型液晶表示装置の駆動方式には、上述の時分割駆動方式とは別にデータラインを複数の駆動領域に分割して、1つのデータ側駆動

回路で駆動する方式も考えられている。そのような先行技術は、たとえば特開平7-181933に開示されている。図16は図1として開示されているこの先行技術の回路構成を示し、図17は図2として開示されている動作時のタイミングを示す。図16において、表示装置20は、ガラス基板21上に形成される走査側シフトレジスタ22、データ側シフトレジスタ23を有し、ガラス基板21の外部に設けられるアナログラインメモリ24からデータラインDL1~DLnに表示用電圧が与えられる。ガラス基板21上には、走査ラインSL1~SLmとデータラインDL1~DLnとが形成され、各交点に薄膜トランジスタTr11~Trmnと画素容量C11~Cmnが配置される。各データラインDL1~DLnの一端は、スイッチングトランジスタTG1~TGnの出力端子に接続される。データラインDL1~DLnは、スイッチングトランジスタTG1~TGnの入力端子がその全数の半分ずつで共通接続されているので、同等の本数の2つの駆動領域Ar1とAr2とに分割される。

【0006】データ側シフトレジスタ23は、各出力端子が2分割されて対応する位置のスイッチングトランジスタTG1~TGp、TGp+1~TGnの各制御端子に接続される。2つのスイッチングトランジスタTG1~TGnを同時に駆動することによって、データ側シフトレジスタ23の1つの段の出力信号によって、複数の駆動領域の相対応するデータライン、たとえばDLi、DLp+iに接続される薄膜トランジスタTri1~TrimおよびTr(p+i)1~Tr(p+i)nを同時にオン/オフすることができる。このため各画素容量C11~Cmnにデータを書込む時間、すなわち1つの薄膜トランジスタTr11~Trmnがオンしている時間を、データラインDL1~DLnを分割した数に比例して長くすることができる。

【0007】図17に示すように、順次走査信号G1~Gmは、1水平走査期間、たとえばNTSC信号では63.5μsの1H期間で、各走査ラインSL1~SLmが順次ハイレベルになる。これによって各走査ラインSL1~SLmに接続されている薄膜トランジスタTr11~Trmnをオンさせ、その走査ラインに接続されている液晶セルを順次選択することができる。

【0008】また、データ側シフトレジスタ23からは、データラインDL1~DLnの本数nの半分の数p、すなわち $p = n/2$ の駆動信号S1~Spを順次出力する。この出力は、2つに分割された駆動領域Ar1、Ar2の相対応するスイッチングトランジスタTG1~TGnにそれぞれ与えられる。スイッチングトランジスタTG1~TGnは、駆動信号S1~Spが入力されると、駆動領域Ar1、Ar2の相対応する位置のスイッチングトランジスタTG1~TGpとスイッチングトランジスタTGp+1~TGnとが同時にオンとなる。

駆動領域Ar1のスイッチングトランジスタTG1~TGpと、駆動領域Ar2のスイッチングトランジスタTGp+1~TGnには、アナログラインメモリ24を2分割した一方側24aと他方側24bとから、それぞれ1Hの左半分の起動信号Y1と右半分の起動信号Y2とが与えられる。

【0009】したがって、画素容量C11~Cmnや走査ラインSL1~SLmおよびデータラインDL1~DLnが形成されるガラス基板21上に設けられる1つのデータ側シフトレジスタ23によって、2分割された駆動領域Ar1のデータラインDL1~DLpに接続されるスイッチングトランジスタTG1~TGpと、駆動領域Ar2のデータラインDLp+1~DLnに接続されるスイッチングトランジスタTGp+1~TGnを同時に、全体としては順次1つずつ駆動することができる。その結果、各データラインDL1~DLnに接続されるスイッチングトランジスタTG1~TGnがオンしている期間は、1水平期間1HをデータラインDL1~DLnの分割数である2で割った値を用いて、さらに除算した時間間隔、すなわち $2H/n$ となる。

【0010】

【発明が解決しようとする課題】近年液晶表示パネルは大型化や高精細化が要求され、図14の列信号電極7や図16のデータラインDL1~DLnの本数も多くなり、液晶駆動回路も多出力化が強く要望されている。液晶パネルの画素数が増えることによって、データラインを駆動するための液晶駆動回路の出力本数も増えることになる。その結果、半導体集積回路として形成する液晶駆動回路のチップ面積も増加し、コストアップの要因につながってしまう。

【0011】図14に示すような先行技術では、液晶パネル12の列信号電極側を駆動するための液晶駆動回路は、列信号電極1本に対して液晶信号出力回路の1出力が対応して接続されているため、列信号電極7の数の増大とともに出力回路の数も増大し、上述のようなチップ面積増加に伴うコストアップを避けることができない。

【0012】また図16に示すような先行技術では、1段分のデータ側シフトレジスタ23から出力される信号によって、複数の駆動領域Ar1、Ar2の相対応するデータラインDLi、DLp+iに接続される薄膜トランジスタTri1~Trmnを同時にオン/オフするようにしている。1つの画素にデータを書込む時間、すなわち1つの薄膜トランジスタTr11~Trmnがオンしている時間は、データラインDL1~DLnを分割した数に比例して長くすることができ、画質の向上を図ることが可能となっている。

【0013】しかしながら、データ側シフトレジスタ23の各段から導出され、スイッチングトランジスタTG1~TGnを駆動するための駆動信号S1~Spを伝達して、スイッチングトランジスタTG1~TGnのオン

／オフを制御するバスラインの本数が増加する。液晶パネルの大型化に伴ってデータラインが増加すると、駆動信号S1～Spのバスラインも増加し、液晶パネルで表示を行わない非表示領域の面積が増加する。またバスラインの本数が多いので、消費電力が大きくなる。さらに駆動回路は各データライン毎にD／A変換器を接続する構成となるので、D／A変換器をデータライン毎に設ける必要があり、駆動回路のチップ面積が増大してしまう。また液晶パネルの入力端子はデータライン毎に必要なので、画素数の増加とともに液晶パネルの入力端子数も増加する。このため、データ側シフトレジスタ23の段数を減らすことは可能であるけれども、駆動回路のチップ面積が増加してコストアップの要因につながる問題を解決することはできない。

【0014】本発明の目的は、階調表示を行うための変換回路の数をデータラインの本数よりも少なくし、データラインの数が多くなっても駆動回路のチップ面積の増加を抑えることができる表示装置の駆動回路を提供することである。

【0015】

【課題を解決するための手段】本発明は、走査線との交点に、マトリクス状に表示素子が形成される表示装置のデータラインを、映像信号データに対応する階調レベルを有する信号で駆動するための回路であって、予め定める複数のデータライン毎に設けられ、1走査期間に、前記複数の映像信号データに対応する階調レベルに変換する変換回路と、各変換回路毎に設けられ、1走査期間毎に前記複数のデータラインを切換えて変換回路の出力に接続する出力側スイッチング回路と、各データラインに対応して設けられ、各データラインで表示すべき映像信号データを保持するデータ保持回路と、前記複数のデータ保持回路の出力を、1走査期間毎に前記複数のデータ保持回路に与えて変換させる入力側スイッチング回路とを含むことを特徴とする表示装置の駆動回路である。

本発明に従えば、マトリクス状に表示素子が形成される表示装置の複数のデータライン毎に変換回路が設けられ、入力側スイッチング回路および出力側スイッチング回路によって切換えて複数の映像信号データに対応する階調レベルに変換し、各データラインに順次与える。映像信号データは各データラインに対応して設けられるデータ保持回路に保持され、入力側スイッチング回路によって順次切換えて変換回路に与えられる。複数のデータラインに対して変換回路が1つあればよいので、駆動回路を半導体集積回路として構成する場合のチップ面積を減少させ、データラインの数が多くなってもチップ面積の増大を抑えることができる。

【0016】また本発明で前記出力側スイッチング回路は、表示装置側に形成されることを特徴とする。本発明に従えば、出力側スイッチング回路が表示装置側

に形成されるので、表示装置の入力端子はデータラインを前記複数のデータラインだけあればよく、表示装置の入力端子数を減らし、駆動回路との接続ライン数も減らしてコスト低減を図ることができる。

【0017】また本発明で前記表示装置は、TFTによるアクティブマトリクス型液晶表示装置であり、前記出力側スイッチング回路は、TFTによるアナログスイッチであることを特徴とする。

本発明に従えば、アクティブマトリクス型TFT液晶表示装置にTFTによるアナログスイッチを出力側スイッチング回路として形成するので、同一のプロセスで一体的に形成し、製造コストの上昇を抑えて容易に出力側スイッチング回路を組込むことができる。

【0018】また本発明は、前記各データラインに、補助容量が設けられることを特徴とする。

本発明に従えば、各データラインを駆動する時間は1つの駆動回路が1つのデータラインを駆動する場合よりも短くなるけれども、補助容量を設けることによって、補助容量駆動電圧を充電し、安定した表示を行うことができる。

【0019】また本発明は、前記各変換回路の出力と前記各出力側スイッチング回路との間に、バッファ回路が設けられることを特徴とする。

本発明に従えば、補助容量によって充電された駆動電圧をバッファ回路で低インピーダンス化して各データラインに供給することができるので、補助容量が小さくても十分に各データラインを駆動することができる。

【0020】また本発明は、前記出力側スイッチング回路と各データラインとの間にバッファ回路が設けられ、各バッファ回路の入力側に補助容量が設けられることを特徴とする。

本発明に従えば、出力側スイッチング回路は駆動回路側に設けられるので、半導体集積回路として駆動回路を形成するプロセスと同様のプロセスを用いて、効率の高いスイッチング回路を構成することができる。

【0021】

【発明の実施の形態】図1は、本発明の実施の一形態の概略的な電気的構成を示す。液晶パネル31は液晶駆動回路32によって、走査バスライン110、111、…と交差するように設けられるデータバスライン120、121、…が駆動される。走査バスライン110、111、…とデータバスライン120、121、…との交差部には、薄膜トランジスタ（以下、「TFT」と略称する）130、131、…を介して液晶表示画素VC1、VC2、…が接続される。TFT130、131、…のゲートは走査バスライン110、111、…に接続され、ドレインがデータバスライン120、121、…に接続される。各走査バスライン110、111、…には、フレーム表示サイクルを1周期として、順次走査信号Gj、Gj+1、…が図示を省略した液晶ゲート回路

から印加される。液晶ゲート回路は、図14の垂直走査用シフトレジスタ11や図16の走査側シフトレジスタ22と同等のものをを用いることができる。

【0022】2本のデータバスライン120、121は、出力側切換スイッチ140によって切換えて駆動される。各データバスライン120、121には、補助容量150、151が設けられる。

【0023】液晶駆動回路32には、2本データバスライン120、121に対応して1つの駆動回路190が設けられる。各駆動回路190には、シフトレジスタ200、2系統のサンプリングラッチ210A、210B、2系統のサンプリングラッチ210A、210Bを切換えるためのアナログスイッチである入力側切換スイッチ220、D/A変換回路230が設けられる。シフトレジスタ200は、サンプリングクロック信号によって、2系統のサンプリングラッチ210A、210Bにそれぞれ階調表示データを取込むためのクロック信号を発生させる。サンプリングラッチ210A、210Bを切換えるための入力側切換スイッチ220は、外部から供給される制御信号によって、1水平期間(1H)の前後で、たとえば1H前半には実線で示すA系統、1H後半には破線で示すB系統に切換えるように制御する。D/A変換回路230は、入力側切換スイッチ220によって切換えられるサンプリングラッチ210A、210Bの出力に基づいてnビットの階調表示データを階調表示用アナログ電圧レベルに変換するので、1H前半と1H後半とで異なるデータバスライン120、121に対する階調表示電圧を導出することができる。D/A変換回路230の出力側には、出力側切換スイッチ140が接続され、1H前半にはデータバスライン120側に切換えられ、1H後半にはデータバスライン121側に切換えられる。したがって、1水平走査期間1Hの間に、2本のデータバスライン120、121を1つのD/A変換回路230からの出力によって駆動することができる。

【0024】図1のD/A変換器230は、たとえば図2に示すような減数カウンタ240、0検出デコーダ250および出力アナログスイッチ260によって構成される。減数カウンタ240にロード信号LOADが入力されると、サンプリングラッチ210A、210Bを入力側切換スイッチ220によって切換えた内容がロードされ、階調クロックCKに従って順次減算されていく。0検出デコーダ250は、減数カウンタ240の内容が全て「0」になるまでの間、出力アナログスイッチ260をオンにする信号を出力する。減数カウンタ240の内容が全て「0」になると、出力アナログスイッチ260がオフになるので、出力端子OS1、OS2、…はハイインピーダンスの状態になる。出力アナログスイッチ260がオンの状態では、出力端子OS1、OS2、…には基準電圧端子270に与えられる基準電源からの電

圧が出力される。基準電源電圧は、ロード信号LOADの周期に同期し、階調クロックCKに連動して変化する。

【0025】液晶パネル31側には、アクティブマトリクス用のTFTと同様のプロセスで形成されるアナログスイッチとして出力側切換スイッチ140、141が設けられ、A系統とB系統を切換える制御信号でデータバスライン120、121と出力端子OS1との間の切換えを行う。したがって水平走査期間の前半にA側に切換えられれば、補助容量150が充電され、水平走査期間の後半では補助容量151が充電される。

【0026】図3は、減数カウンタ240、0検出デコーダ250および出力アナログスイッチ260の具体的な回路構成例を、階調表示データがn=6ビットの場合について示す。任意のビット構成について同様に実現することができる。6ビットのデータD0～D5は入力側切換スイッチ220から与えられる。ロード信号LOADが論理値「1」のハイレベルになると、DフリップフロップF0～F5は、データD0～D5が論理値「1」のときにはNANDゲートNG0～NG5を介してセットされ、データD0～D5が論理値「0」のときにはインバータN0～N5およびNANDゲートNG00～NG05を介してリセットされる。各DフリップフロップF0～F5では、データ入力Dが反転出力/Qに接続され、出力Qは次段のクロック入力CKに接続される。初段のDフリップフロップF0のクロック入力CKには、NANDゲートNG10の出力が与えられる。NANDゲートNG10の入力には階調クロックCLKと0検出デコーダ250の出力がインバータN10を介して与えられる。0検出デコーダ250は、6入力のNORゲートによって構成される。各入力端子は、各DフリップフロップF0～F5の出力Qに接続される。

【0027】ロード信号LOADが入力されると、減数カウンタ240を構成する各DフリップフロップF0～F5にサンプリングラッチ210Aまたは210Bからの表示データがロードされる。次に階調クロック信号CLKに応じて、ロードされた表示データは減算されていく。0検出デコーダ250を構成するNORゲートは、各DフリップフロップF0～F5が1ビットでも論理値「1」のデータを保持している間は、出力アナログスイッチ260をオンにするようなデコード信号を発生する。減数カウンタ240を構成する各DフリップフロップF0～F5の出力Qの内容が全て論理値「0」になると、NORゲートの出力は反転し、出力アナログスイッチ260がオフになるので、出力端子OSはハイインピーダンス状態となる。同時に減数カウンタ240の1段目のDフリップフロップF0のクロック入力CKが階調クロック信号CLKから切離されるので、減数動作が止まり、再度ロード信号LOADが入力されるまでこの状態を保ち続ける。

【0028】図4は、本実施形態の液晶信号出力回路としてのタイミングチャートを示す。1水平期間の1/2の前半期間にはサンプリングラッチ210AのA系統にラッチされた階調表示データ「3」を液晶パネルのアナログスイッチ140Aを介して画素容量VC1に印加し、残りの1/2の後半期間にサンプリングラッチ210BのB系統にラッチされた階調表示データ「2」を液晶パネル31のアナログスイッチ140Bを介して画素容量VC2に切替えて印加する。これによって液晶信号出力端子OSが1つで、2画素分の表示画素を駆動させることが可能となる。このように、本実施形態では、液晶信号出力回路の1端子で2本のデータバスラインを切替えて駆動することができ、出力本数を1/2に低減することができ、液晶駆動回路32のチップ面積を縮小してコスト低減を図ることができる。

【0029】図5は、本発明の実施の他の形態の概略的な構成を示す。本実施形態の構成は図2に示す構成に類似し、対応する部分には同一の参照符を付して重複した説明を省略する。本実施形態では、液晶パネル41に図2に示す液晶パネル31のような補助容量150、151、…を設けていない。データバスライン120、121の本数があまり多くなく、1水平走査期間に2回に分けて駆動しても十分にデータバスライン120、121、…を駆動することができるときには、補助容量150、151、…を省略して、液晶パネル41のコストダウンを図ることができる。

【0030】図6は、本発明の実施のさらに他の形態の構成を示す。本実施形態で、図2の構成に対応する部分には同一の参照符を付し、重複した説明を省略する。本実施形態では、液晶駆動回路42を構成する各駆動回路195内のD/A変換回路233の出力側にオペアンプ280によるバッファ回路を設け、駆動回路195としての出力インピーダンスを低インピーダンスに変換し、補助容量150、151、…を設けるデータバスライン120、121、…にデータを書込む時定数を十分に短くすることができる。オペアンプ280としては、本件出願人により出願中の特許95-2275や96-339などで提案しているフルレンジ対応のオペアンプを好適に用いることができる。

【0031】図7は、本発明の実施のさらに他の形態の構成を示す。本実施形態で図2の構成に対応する部分には同一の参照符を付し、重複した説明を省略する。本実施形態の液晶駆動回路52は、カウンタ300と、各駆動回路290毎に設けられるD/A変換回路235としてのデータラッチ330、比較回路340および出力アナログスイッチ260を有する。2系統のサンプリングラッチ210A、210Bには2画素分の表示データが1画素分ずつ振分けられて取込まれる。入力側切替スイッチ220は、外部から供給される制御信号によって、1水平期間の前半はA系統としてサンプリングラッチ2

10Aの出力をデータラッチ330に与える。1水平期間の後半はB系統としてサンプリングラッチ210Bの出力をデータラッチ330に与える。カウンタ300は、ラッチ信号LSによって初期化され、階調クロックCLKを計数するように構成される。比較回路340は、カウンタ回路300からの計数値とデータラッチ330にラッチされる表示データとを比較し、一致するまでの間、出力アナログスイッチ260をオンにする信号を出力する。基準電圧端子270には、ラッチ信号LSの1/2周期に同期した基準電源電圧波形が入力されるので、出力アナログスイッチ260がオンになっている間、基準電源電圧に追従して変化する出力電圧を液晶パネル31に印加させることができる。比較回路340は、カウンタ300の出力値とデータラッチ330にラッチされるデータとが一致するときに、出力アナログスイッチ260をオフとし、そのときの出力電圧を液晶パネル31の補助容量150、151、…と画素容量VCnとに蓄積させる。したがって、図7の構成の動作は図4と同様に行われる。

【0032】図8は、図5に示す液晶パネル41を用い、補助容量150、151、…を省略した実施の形態を示す。本実施形態で、先に説明した各実施形態と対応する部分には同一の参照符を付し、重複した説明を省略する。液晶駆動回路52の各駆動回路290の出力インピーダンスが低インピーダンスであるときや、オペアンプなどの低インピーダンス変換回路を設けてあるときには、補助容量150、151、…を設けなくても安定な表示を行うことができる。

【0033】図9は、本発明の実施のさらに他の形態の概略的な電氣的構成を示す。本実施形態では、出力側切替スイッチ350を液晶パネル61側ではなく液晶駆動回路62の各駆動回路295側に設ける。液晶駆動回路62からは、液晶パネル61の各データバスライン120、121、…毎に出力が得られるので、液晶パネル61としては従来品を用いることもできる。液晶駆動回路62では、1つのD/A変換回路230を、2本のデータバスライン120、121に対して用いることができるので、半導体集積回路としてのチップ面積を縮小してコストダウンを図ることができる。

【0034】図10は、本発明の実施のさらに他の形態の概略的な電氣的構成を示す。本実施形態で、先に説明した各実施形態と対応する部分には同一の参照符を付し、重複した説明を省略する。本実施形態では、液晶駆動回路72側で、各駆動回路390毎に設けられるD/A変換回路360のD/A変換器365の出力側と出力側切替スイッチ350との間にオペアンプ280によるバッファを挿入している。オペアンプ280によるバッファによって出力インピーダンスが低インピーダンスに変換されるので、補助容量150、151、…を設けるデータバスライン120、121を短い時定数で十分に

駆動することができる。

【0035】図11は、図10の実施形態のD/A変換器365の構成例を示す。このD/A変換器365は、6ビットの抵抗ストリングシングルステージD/A変換回路として構成され、直列に接続される63個の抵抗R1～R63を、6段のスイッチ回路SW11～SW61を6ビットのデジタルデータに従って切換え、64階調のアナログ出力を得ることができる。図12は、CMOSによって出力側切換スイッチ350を構成する例を示す。NチャネルMOSTラジスタ351とPチャネルMOSTラジスタ352で構成するゲートと、NチャネルMOSTラジスタ353とPチャネルMOSTラジスタ354で構成するゲートとを出力側を共通に接続し、入力側で切換えを行うことができる。

【0036】図13は、本発明の実施のさらに他の形態の概略的な電氣的構成を示す。本実施形態で、先行する各実施形態と対応する部分には同一の参照符を付し、重複した説明を省略する。本実施形態では、液晶パネル81には液晶パネル61のような補助容量150、151、…を設けず、液晶駆動回路82側の各駆動回路400内に、各データバスライン120、121毎の補助容量410、411とオペアンプ280によるバッファ回路とを設け、安定かつ低インピーダンスで各データバスライン120、121を駆動するようにしている。本実施形態では、1出力回路内に複数系統の表示データを振分けてサンプリングさせる方式で、液晶パネル81の表示画面に書込む時間が短くなる分を、液晶駆動回路82側で補助容量410、411を設けて補うことができ、液晶パネル81の製造コストを低減することができる。

【0037】なお以上説明した各実施形態では、階調数nが6ビットの階調表示を行っているけれども、前述したように他のビット数で階調表示を行う場合も、基本的には同様に行うことができる。また表示装置はアクティブマトリクス型の液晶表示装置の場合について説明しているけれども、電圧レベルに応じて階調表示が可能なマトリクス表示装置、たとえばエレクトロルミネセンス（略称「EL」）やプラズマ表示装置でも同様に階調表示を行い、変換回路の数を減らすことができる。また、1つの駆動回路で、3以上のデータバスラインを切換えて駆動するような構成も可能である。

【0038】

【発明の効果】以上のように本発明によれば、データラインの数に対して変換回路の数を減らすことができるので、半導体集積回路として形成する駆動回路のチップ面積を減少させ、消費電力を低減することができる。また表示装置が大画面でデータラインの本数が多くなっても、駆動回路の数はその複数分の1となるので、液晶信号出力回路自体の使用個数を低減することができ、表示装置と組合わせ表示モジュールとしてのコストも効果的

に低減することができる。

【0039】また本発明によれば、出力側スイッチング回路は表示装置側に形成されるので、表示装置の入力端子数を低減し、信号出力回路との接続の信号線の数も低減することができる。

【0040】また本発明によれば、TFTによるアクティブマトリクス型液晶表示装置に、一体的にTFTによる出力側スイッチング回路を形成して、入力端子数を低減することができる。

【0041】また本発明によれば、各データラインに補助容量が設けられるので、データラインを駆動する時間が短くなっても、安定に表示を行うことができる。

【0042】また本発明によれば、各データラインに補助容量が設けられて負荷が大きくなっても、バッファ回路によって十分に駆動することができる。

【0043】また本発明によれば、出力側スイッチング回路を駆動回路側に設けるので、表示装置側に制御信号を供給する必要はない。また表示装置は従来のものをそのまま使用することができ、駆動回路側でチップ面積の縮小を図ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の概略的な電氣的構成を示すブロック図である。

【図2】図1のD/A変換回路230について、より具体化した構成を示すブロック図である。

【図3】図2の減数カウンタ240、0検出デコーダ250および出力アナログスイッチ260についてのより具体的な構成を示す論理回路図である。

【図4】図1の実施形態の動作を示すタイミングチャートである。

【図5】本発明の実施の他の形態の概略的な電氣的構成を示すブロック図である。

【図6】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図7】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図8】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図9】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図10】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図11】図10に示す実施形態のD/A変換器235の等価的な電気回路図である。

【図12】図9および図10の実施形態の出力側切換スイッチ350の等価的な電気回路図である。

【図13】本発明の実施のさらに他の形態の概略的な電氣的構成を示すブロック図である。

【図14】1つの先行技術の概略的な電氣的構成を示すブロック図である。

【図15】図14の先行技術の動作を示すタイミングチャートである。

【図16】他の先行技術の概略的な電気的構成を示すブロック図である。

【図17】図16の先行技術の動作を示すタイミングチャートである。

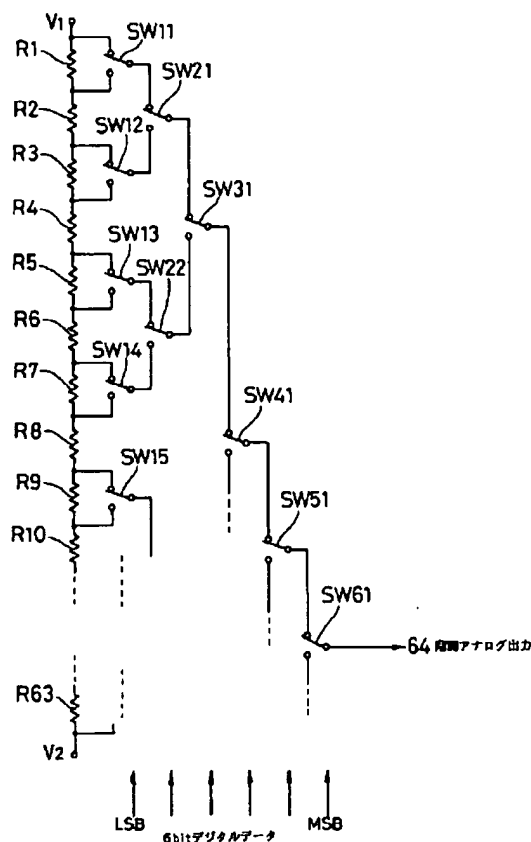
【符号の説明】

31, 41, 61, 81 液晶パネル
32, 42, 52, 62, 72, 82 液晶駆動回路
110, 111 走査バスライン
120, 121 データバスライン
130, 131 TFT
140, 141 出力側切換スイッチ
150, 151, 410, 411 補助容量
190, 195, 290, 295, 390, 400 駆

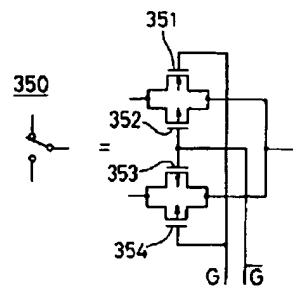
動回路

200 シフトレジスタ
210A, 210B サンプリングラッチ
220 入力側切換スイッチ
230, 233, 235, 238, 360 D/A変換回路
240 減数カウンタ
250 0検出デコーダ
260 出力アナログスイッチ
270 基準電圧端子
280 オペアンプ
300 カウンタ
330 データラッチ
340 比較回路
365 D/A変換器

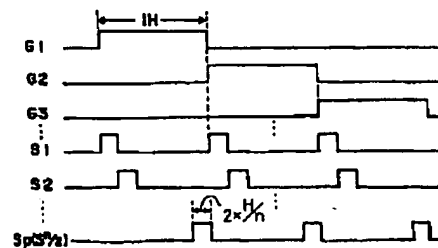
【図11】



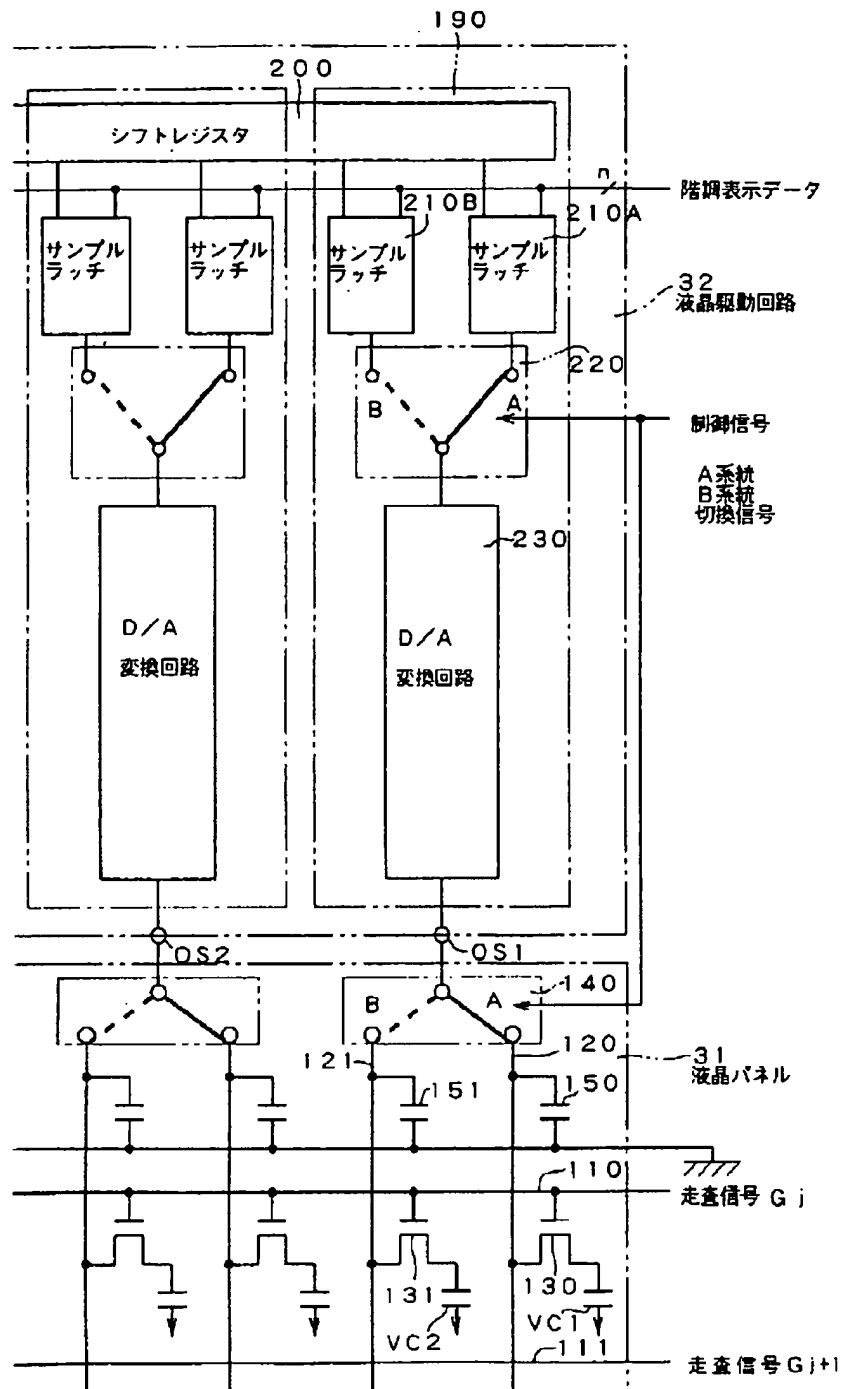
【図12】



【図17】



【図1】



【图2】

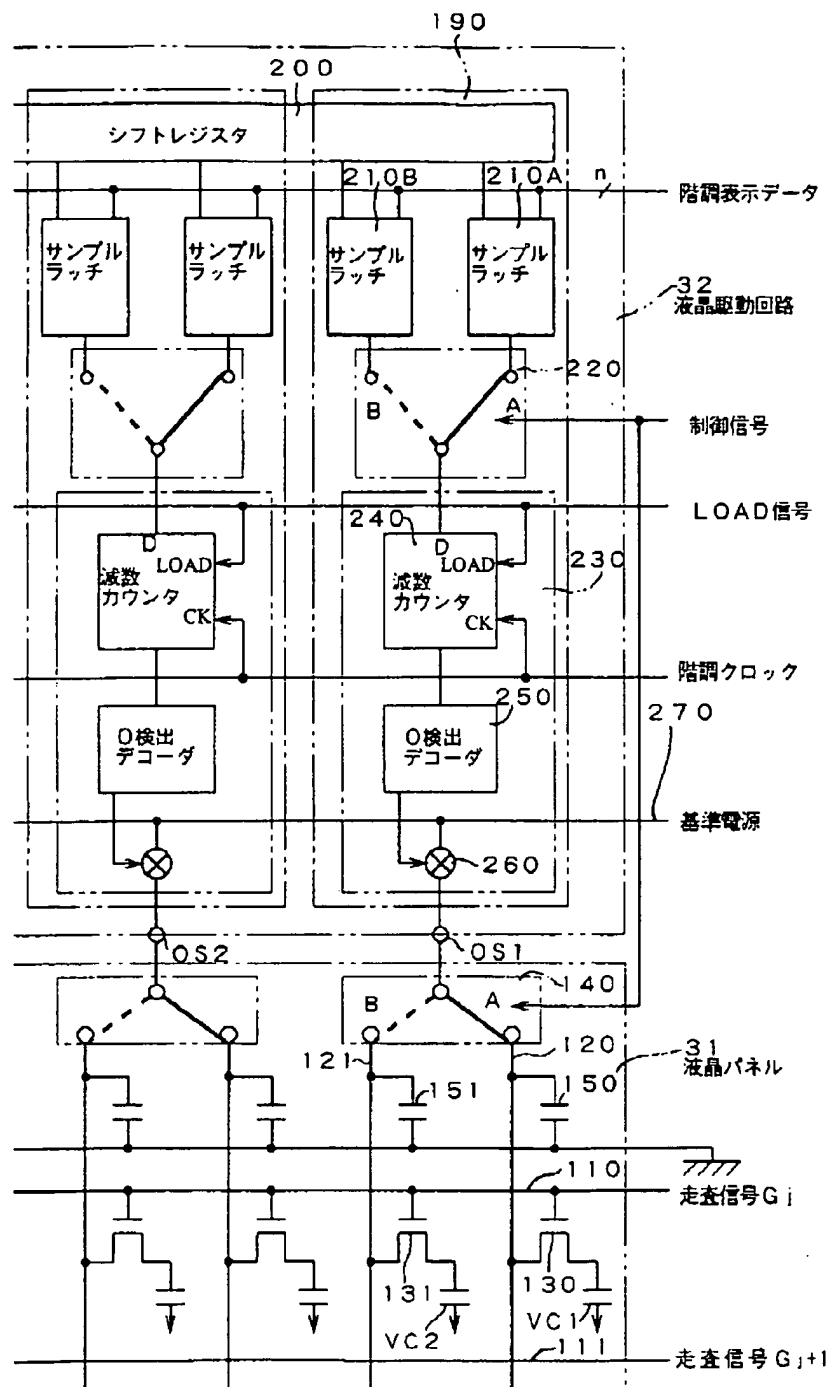
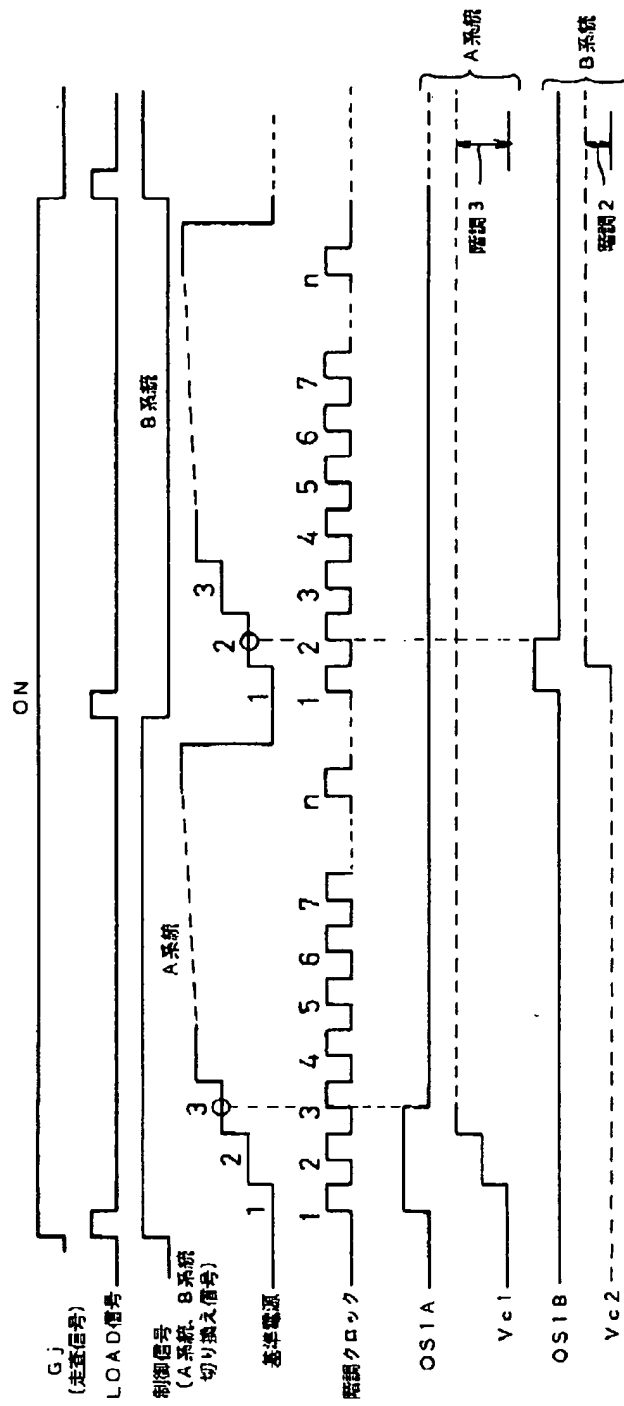
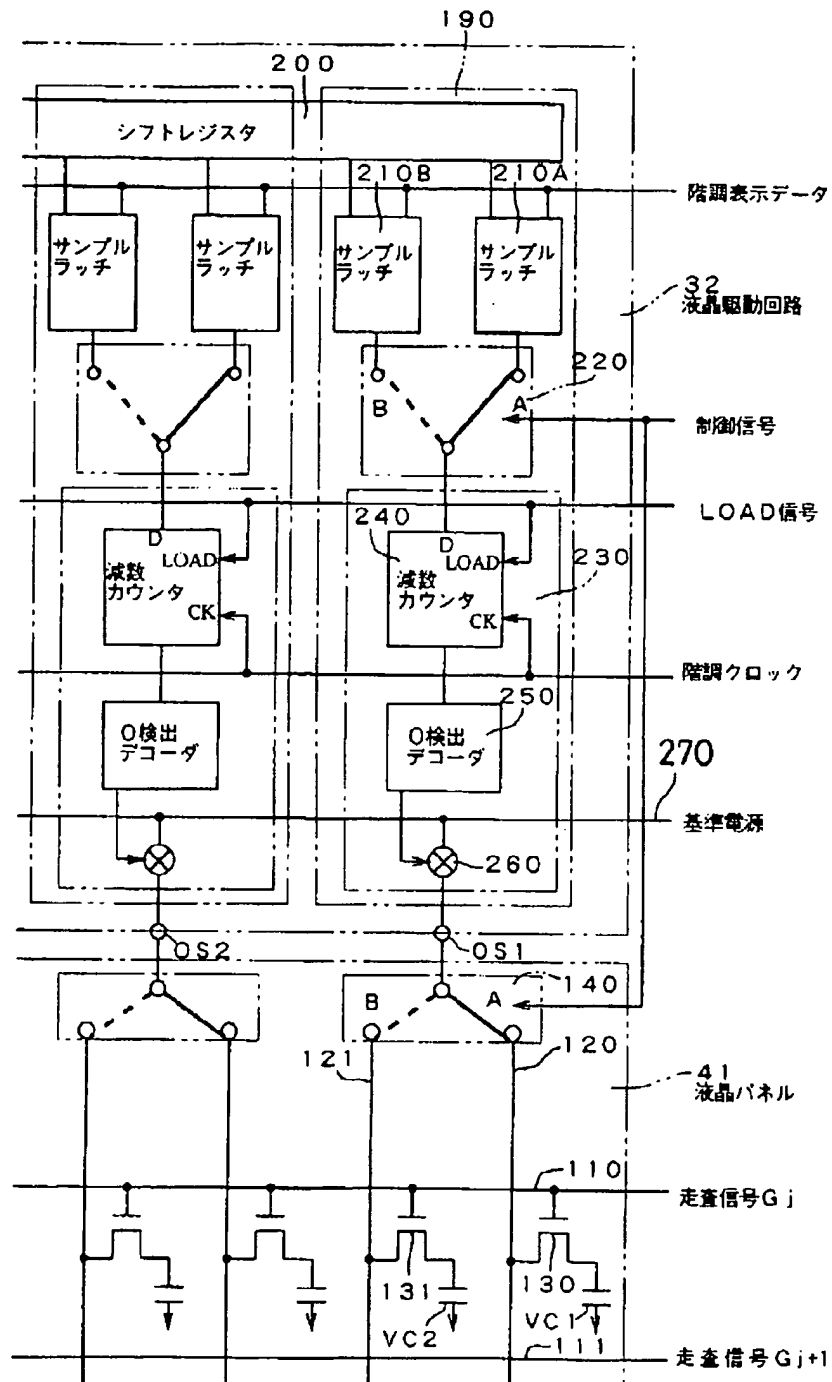


Figure 1 is a block diagram of a 4-bit parallel adder circuit. The circuit is composed of four identical full-adder blocks (F0, F1, F2, F3) and four carry-propagate logic blocks (NG0, NG1, NG2, NG3). The inputs are a 4-bit binary number (D0-D3) and a 4-bit carry-in (N0-N3). The outputs are a 4-bit sum (S0-S3) and a carry-out (OS). The circuit is powered by a 270V supply and includes a 260V output and a 250V output.

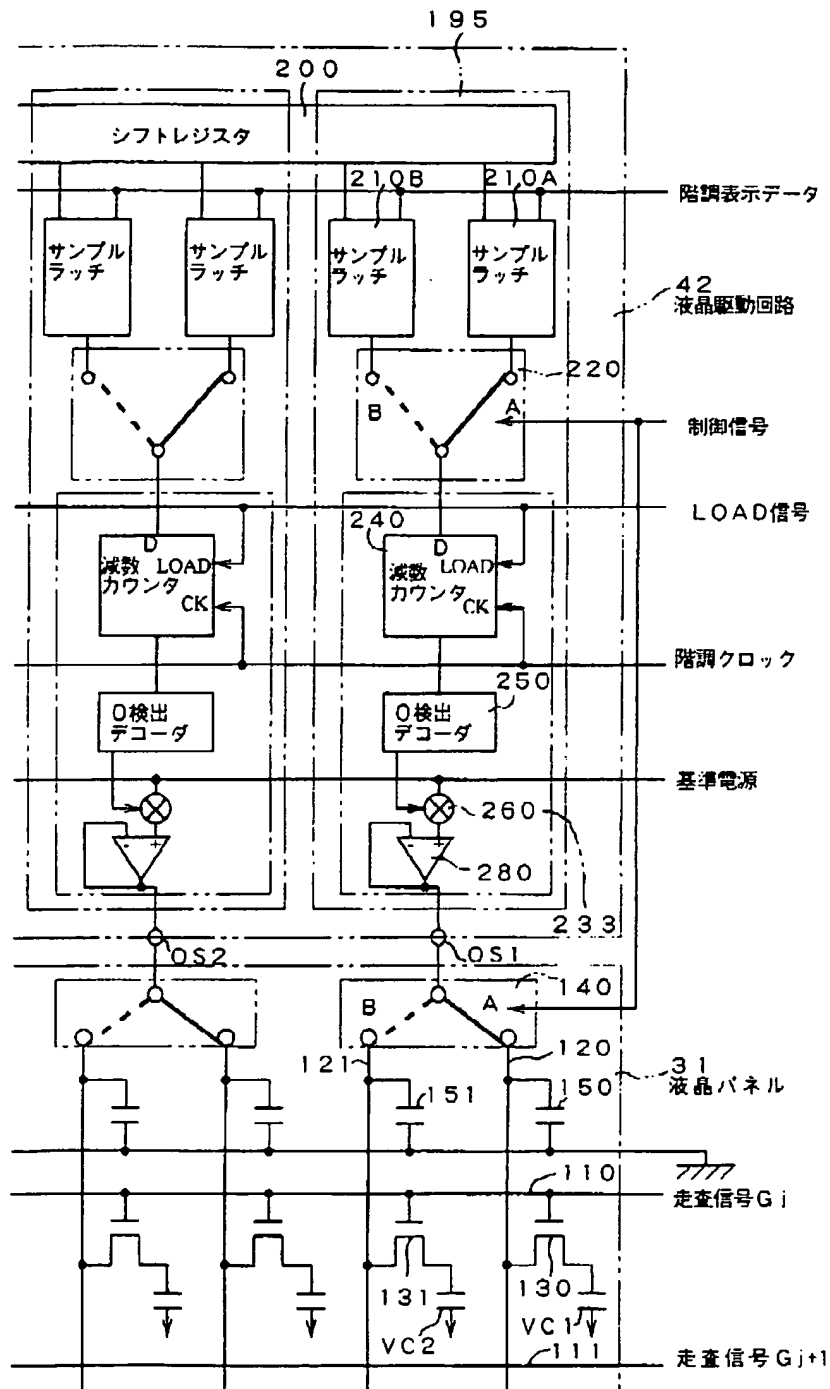
【図4】



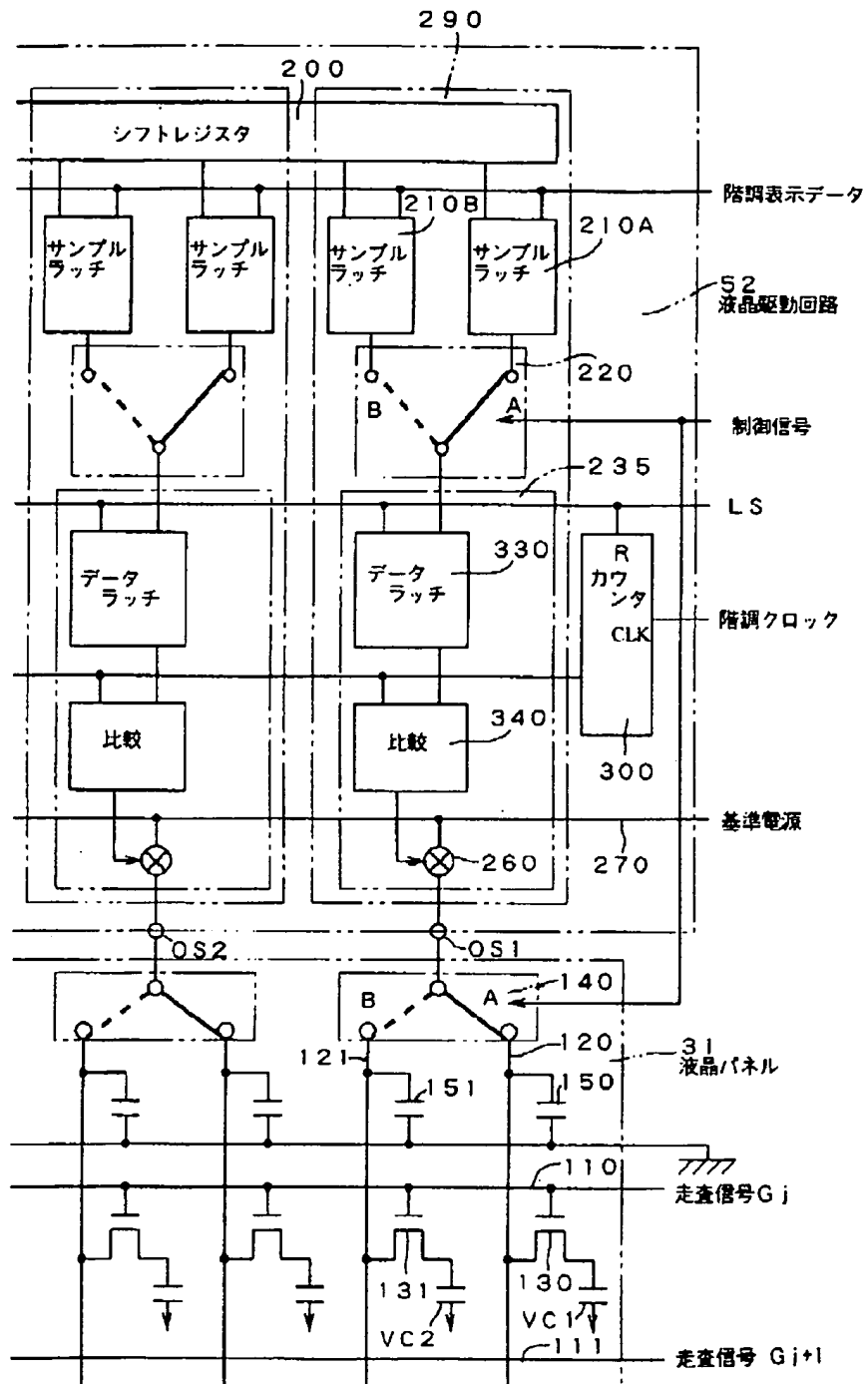
【図5】



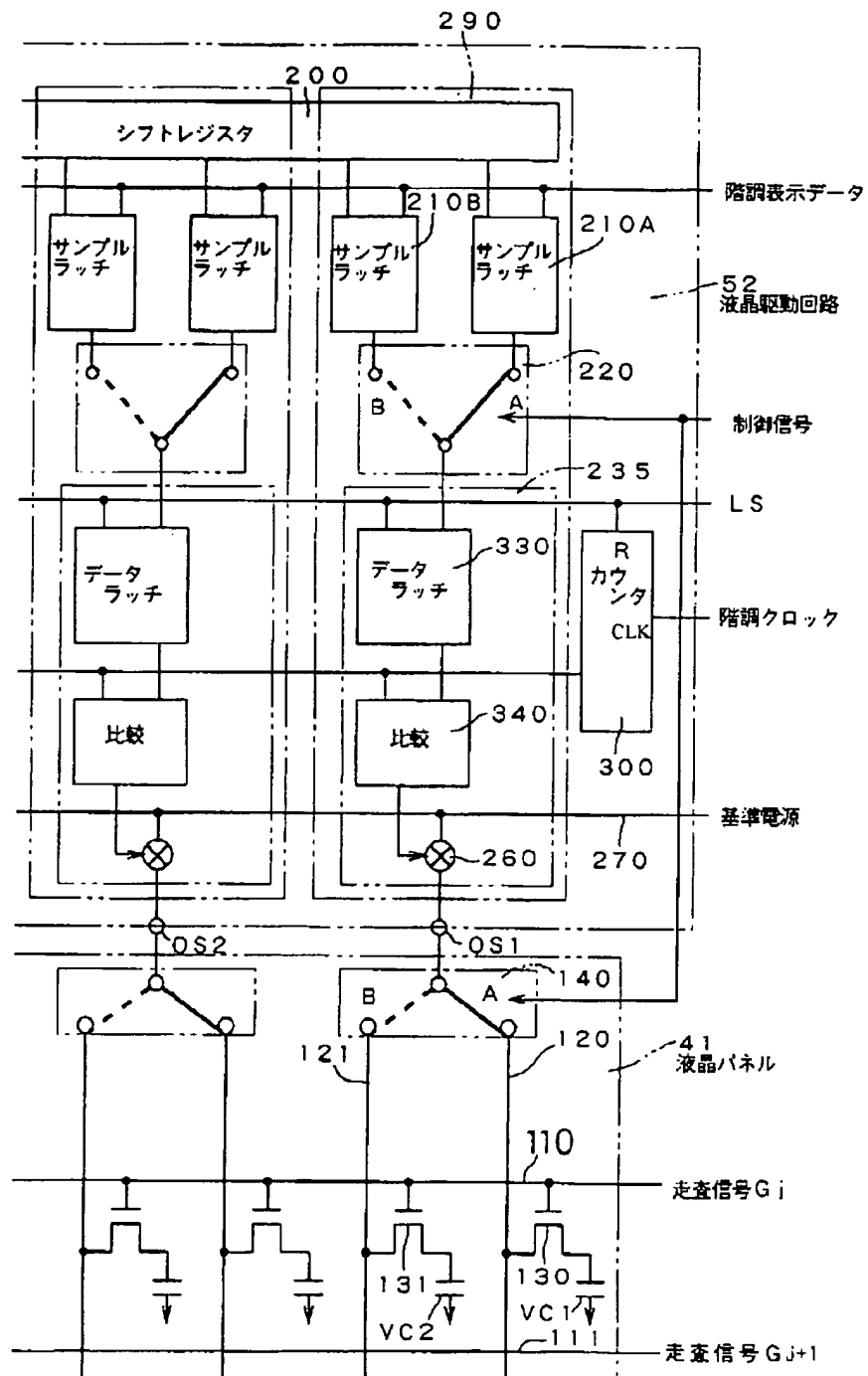
【図6】



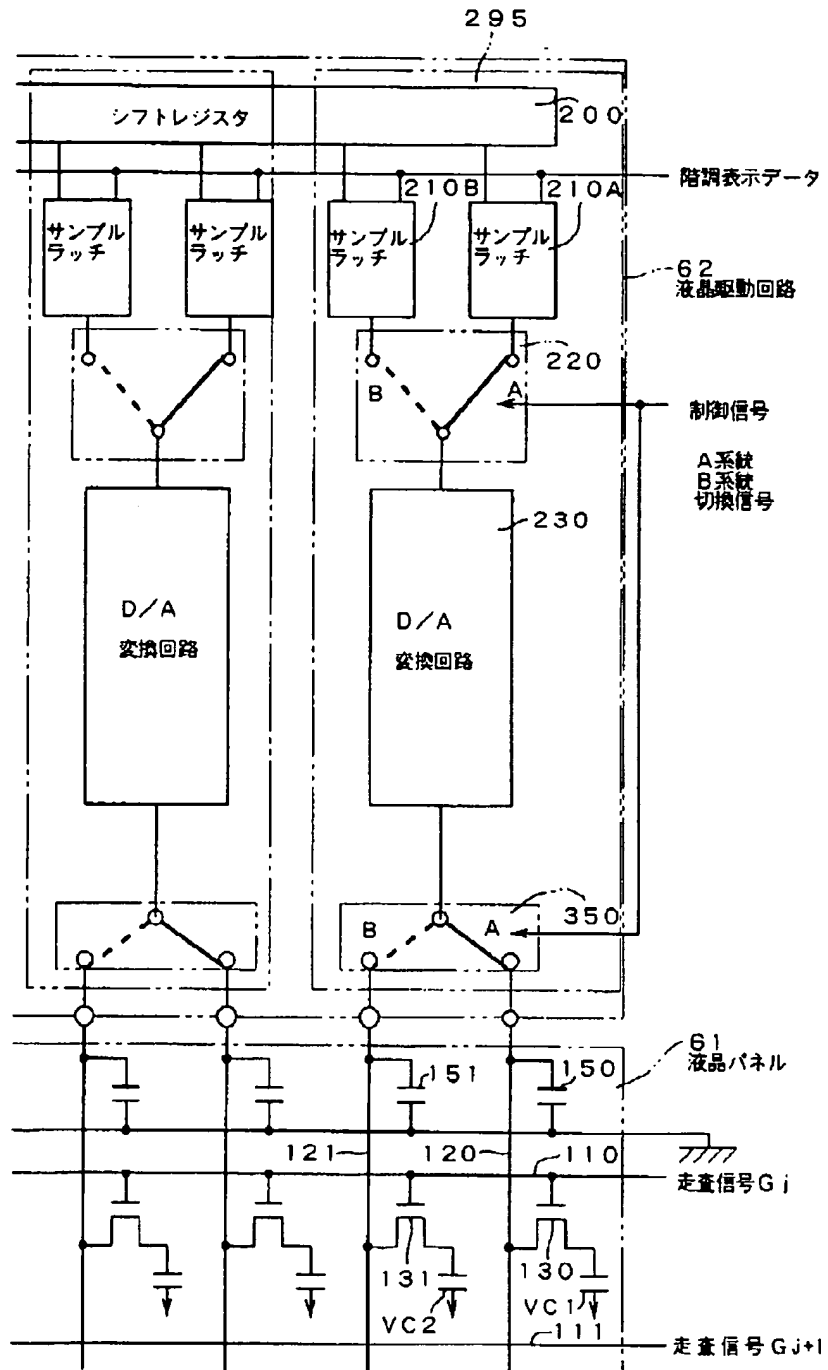
【図7】



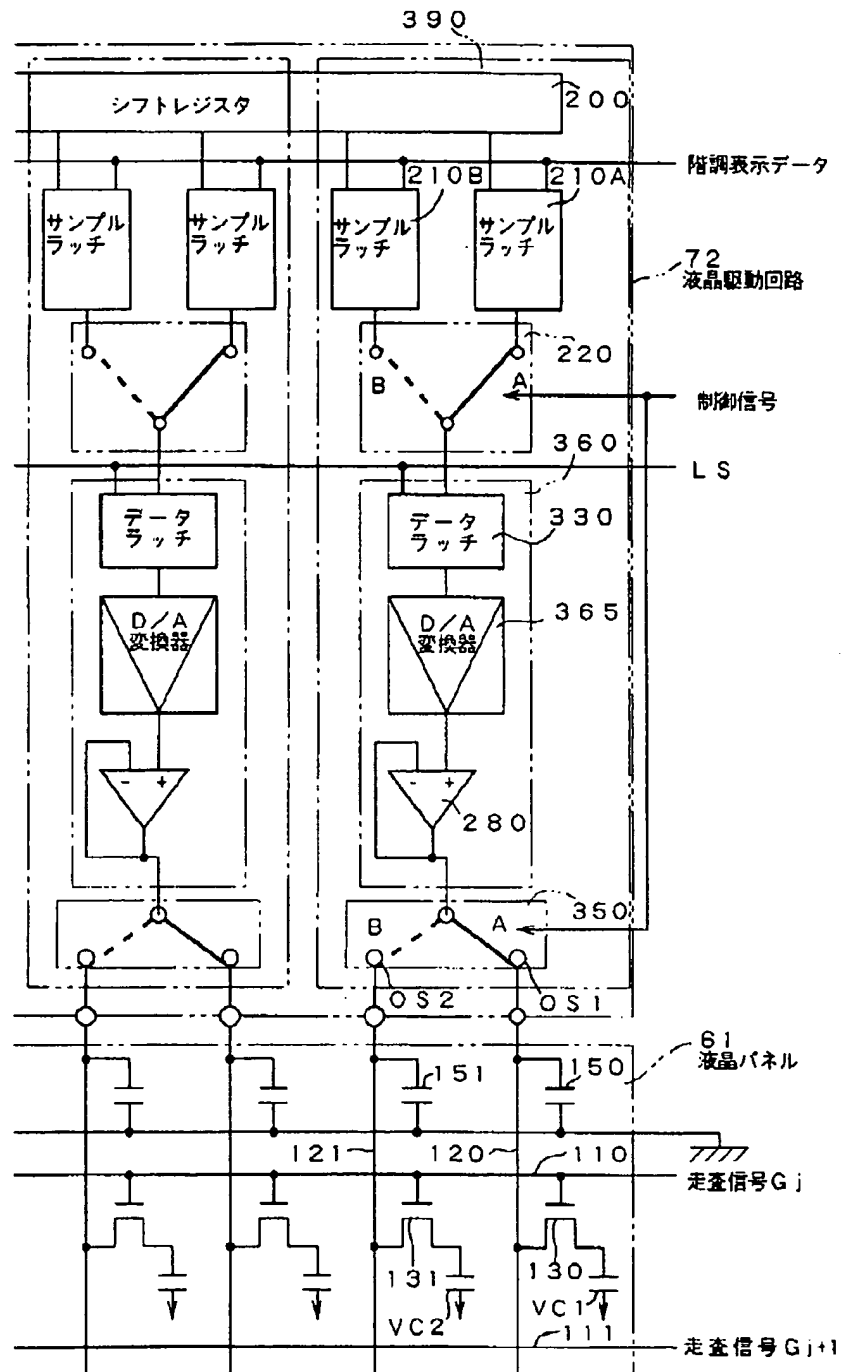
【図8】



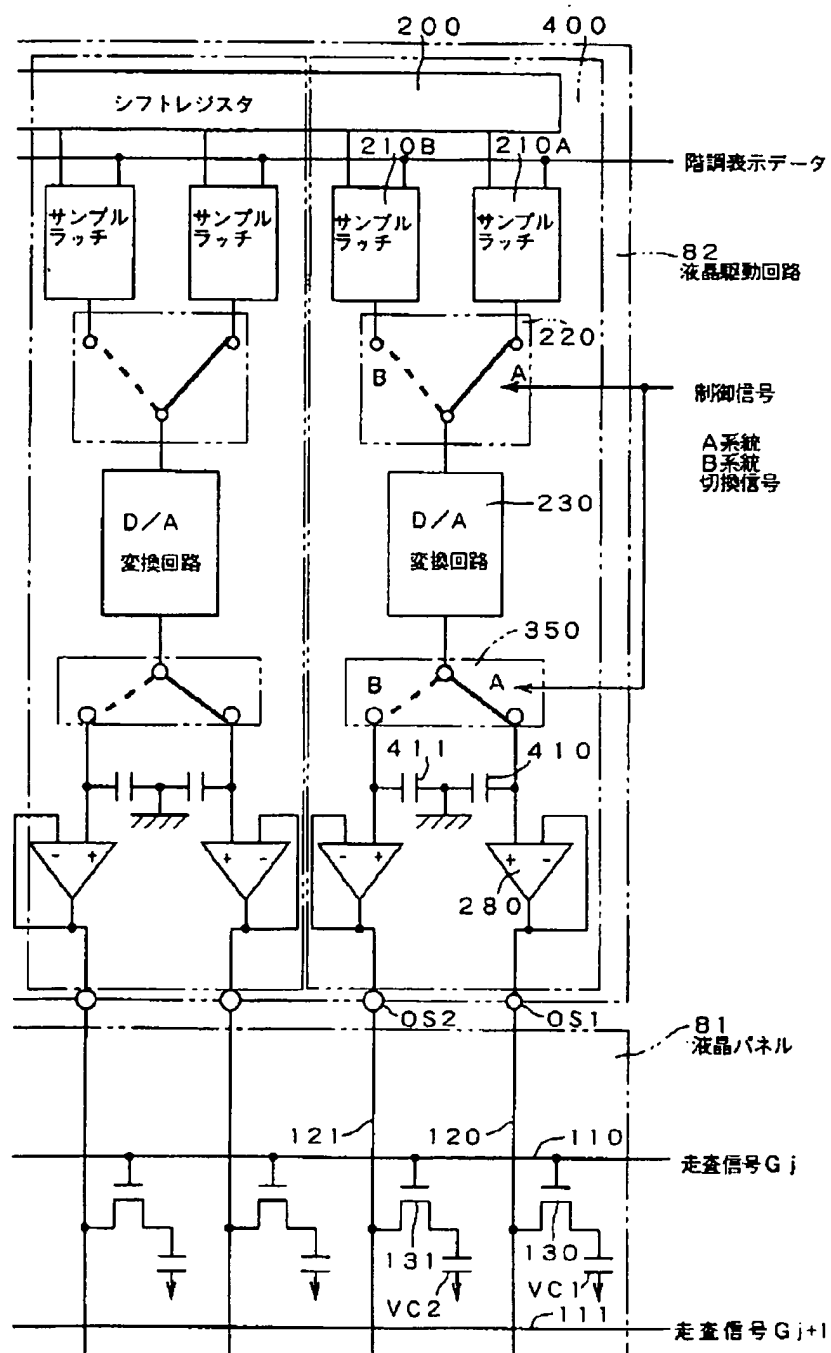
【図9】



【図10】



【図13】



The diagram illustrates the timing relationships between several signals in a video system. The signals shown are V_V (vertical sync), V_{IN} (input video), V_{C1} and V_{C2} (control signals), T_1 (horizontal sync), and T_2 (vertical sync). Key timing intervals are labeled at the top: **水平走査周期** (Horizontal Synchronization Period), **水平有効表示期間** (Horizontal Active Display Period), and **水平帰線期間** (Horizontal Return Period). The control signals V_{C1} and V_{C2} show a sawtooth waveform with a frequency f indicated. The timing for T_1 and T_2 is also shown, with specific periods labeled as **A/Dサンプリング&シフトレジスタ動作期間** (A/D Sampling & Shift Register Operation Period) and **パルス位相変調器動作期間** (Pulse Phase Modulator Operation Period).

